

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156073

(P2001-156073A)

(13) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.	識別記号	F I	キーワード(参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 2 X 5 F 0 0 4
21/3085		21/88	R 5 F 0 3 9
21/304	6 2 2	21/302	L 5 F 0 4 3
21/308		21/306	M
			F

審査請求 未請求 請求項の数28 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-234284(P2000-234284)

(22) 出願日 平成12年8月2日 (2000.8.2)

(31) 優先権主張番号 09/439361

(32) 優先日 平成11年11月15日 (1999.11.15)

(33) 優先権主張国 米国 (US)

(71) 出願人 599083591

チャータード・セミコンダクター・マニ

ファクチャリング・リミテッド

シンガポール国 738408, ストリート

2, ウッドランズ・インダストリアル・パ

ーク 60

(72) 発明者 サブハッシュ・ギユプタ

シンガポール国 259805 バルモラル・ロ

ード 21, ナンバー 05-04

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

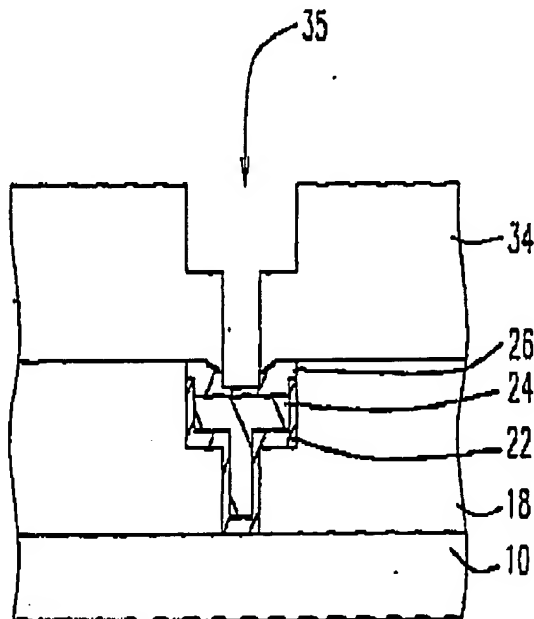
最終頁に続く

(54) 【発明の名称】 ピア又はデュアルダマシン構造の側壁の銅汚染を防止する方法

(57) 【要約】

【課題】 半導体回路の製造の際の銅メタライゼーションにおける汚染を回避する方法を提供する。

【解決手段】 最初の銅メタライゼーション上に蓋層を形成することによって、ピア又はデュアルダマシンエッチングにおけるインターメタル誘電体層の銅汚染が防止される。最初の銅メタライゼーションを半導体基板上の誘電体層中に形成し、ここで、バリアー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成される。上記最初の銅メタライゼーションを平坦化し、次いでエッチングして、上記誘電体層の表面より下方に凹部を形成する。汚染層を上記凹部内の上記最初の銅メタライゼーション上に、または上記誘電体層上に、堆積する。上記堆積層を幾つかの方法の1つを用いて上記凹部内の上記最初の銅メタライゼーションの上方を除いて除去する。



【特許請求の範囲】

【請求項1】 集積回路の製造におけるビア又はデュアルダマシニングによるインターメタル誘電体層の腐蝕を防止する方法であって、半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリアー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され、上記最初の銅メタライゼーションを平坦化し、上記最初の銅メタライゼーションをエッチングして、上記誘電体層の表面より下方に凹部を形成し、上記誘電体層上の上記バリアー金属層を除去し、上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電層を堆積し、上記導電層上にスピン・オン物質を被覆し、上記誘電体層の上方の上記スピン・オン物質及び上記導電層をエッチバックし、その後、上記スピン・オン物質の全てを除去して、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電層を残置させ、上記誘電体層上に、そして上記最初の銅メタライゼーションの上記導電層上に、上記インターメタル誘電体層を堆積し、上記インターメタル誘電体層を通じて上記導電層にまで上記ビア又はデュアルダマシニング開口をエッチングし、ここで、上記導電層が上記エッチングの間に上記インターメタル誘電体層の腐蝕を防止し、そして上記ビア又はデュアルダマシニング開口を金属層で充填して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項2】 上記バリアー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項1の方法。

【請求項3】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッシング（CMP）を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリアー金属層がCMP阻止層として使用される請求項1の方法。

【請求項4】 上記凹部はウエットエッチング法により形成される請求項1の方法。

【請求項5】 上記ウエットエッチング法は $\text{CH}_3\text{COOH}/\text{NH}_4\text{F}$ 又は DMSO/CCl_4 の化学作用を含む請求項1の方法。

【請求項6】 上記バリアー金属層を除去する工程は Cl 又は F のプラズマを使用して上記バリアー金属層を選択的にエッチングすることを含む請求項1の方法。

【請求項7】 上記導電層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項1の方法。

【請求項8】 上記スピン・オン物質及び上記誘電体層の上方の上記導電層をエッチバックする工程は Cl 又は F のプラズマエッチを含む請求項1の方法。

【請求項9】 上記スピン・オン物質を除去する工程は

O_2 プラズマ中の側面又はガスプラズマを形成することを含む請求項1の方法。

【請求項10】 上記バリアー金属層を除去する工程は上記導電層を堆積する工程の前に実施される請求項1の方法。

【請求項11】 集積回路の製造におけるビア又はデュアルダマシニングによるインターメタル誘電体層の腐蝕を防止する方法であって、半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリアー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され、上記最初の銅メタライゼーションを平坦化し、上記最初の銅メタライゼーションをエッチングして、上記誘電体層の表面より下方に凹部を形成し、上記誘電体層上の上記バリアー金属層を除去し、上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電層を堆積し、上記最初の銅メタライゼーションの上にマスクを形成し、そして上記マスクで被覆されていない部分の上記導電層をエッチング除去して、上記凹部内の上記最初の銅メタライゼーションの上のみに上記導電層を残置させ、その後、上記マスクを除去し、上記誘電体層上に、そして上記最初の銅メタライゼーションの上記導電層上に、上記インターメタル誘電体層を堆積し、上記インターメタル誘電体層を通じて上記導電層にまで上記ビア又はデュアルダマシニング開口をエッチングし、ここで、上記導電層が上記エッチングの間に上記インターメタル誘電体層の腐蝕を防止し、そして上記ビア又はデュアルダマシニング開口を金属層で充填して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項12】 上記バリアー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項11の方法。

【請求項13】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッシング（CMP）を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリアー金属層がCMP阻止層として使用される請求項11の方法。

【請求項14】 上記凹部はウエットエッチング法により形成される請求項11の方法。

【請求項15】 上記ウエットエッチング法は $\text{CH}_3\text{COOH}/\text{NH}_4\text{F}$ 又は DMSO/CCl_4 の化学作用を含む請求項14の方法。

【請求項16】 上記バリアー金属層を除去する工程は Cl 又は F のプラズマを使用して上記バリアー金属層を選択的にエッチングすることを含む請求項11の方法。

【請求項17】 上記導電層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項11の方

法。

【請求項18】 上記マスクを形成する工程は上記最初の銅メタライゼーション領域を形成するのに使用されたマスクを用いることを含む請求項11の方法。

【請求項19】 上記マスクを形成する工程は上記最初の銅メタライゼーション領域を形成するのに使用されたマスク及び逆色膜レジストを用いることを含む請求項11の方法。

【請求項20】 上記導電層をエッチング除去する工程はC1又はFのプラズマエッチングを含む請求項11の方法。

【請求項21】 上記バリアー金属層を除去する工程は上記導電層を堆積する工程の前に実施される請求項11の方法。

【請求項22】 集積回路の製造におけるビア又はデュアルダマシンエッチングによるインターメタル誘電体層の銅汚染を防止する方法であって：半導体基板上の誘電体層中に最初の銅メタライゼーションを形成し、ここで、バリアー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成され；上記最初の銅メタライゼーションを平坦化し；上記最初の銅メタライゼーションをエッチングして、上記誘電体層の表面より下方に凹部を形成し；上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、導電層を堆積し；上記導電層を部分的に研磨除去し、ここで、上記最初の銅メタライゼーション上の上記導電層は上記誘電体層上の上記導電層よりも厚く；その後、上記導電層と上記誘電体層上の上記バリアー金属層とをエッチバックして、上記凹部内の上記第1銅メタライゼーションの上方のみに上記導電層を残留させ；上記誘電体層上に、そして上記最初の銅メタライゼーション上の上記導電層上に、上記インターメタル誘電体層を堆積し；上記インターメタル誘電体層を通じて上記導電層にまで上記ビア又はデュアルダマシン開口をエッチングし、ここで、上記導電層が上記エッチングの間に上記インターメタル誘電体層の銅汚染を防止し；そして上記ビア又はデュアルダマシン開口を金属層で封止して上記集積回路の製造における電気接続を完成することを含む上記方法。

【請求項23】 上記バリアー金属層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項22の方法。

【請求項24】 上記最初の銅メタライゼーションを平坦化する工程は化学的機械的ポリッシング(CMP)を使用して上記最初の銅メタライゼーションを研磨することを含み、ここで、上記バリアー金属層がCMP阻止層として使用される請求項22の方法。

【請求項25】 上記凹部はウェットエッチング法により形成される請求項22の方法。

【請求項26】 上記ウェットエッチング法は $\text{CH}_3\text{COOH}/\text{NH}_4\text{F}$ 又は DMSO/CCl_4 の化学作用を含む請求項24の方法。

【請求項27】 上記導電層はタンタル、タンタル化合物、チタン、チタン化合物、タングステン、及びタングステン化合物を含む群の1つを含む請求項22の方法。

【請求項28】 上記導電層及び上記バリアー金属層をエッチング除去する工程はC1又はFのプラズマエッチングを含む請求項22の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路の製造におけるメタライゼーション(Metallization)の方法、特に集積回路の製造の際の、銅メタライゼーションにおける汚染を回避する方法に関する。

【0002】

【従来の技術】 銅のメタライゼーションは集積回路の製造における大勢になっている。しかし、インターメタル誘電体層(intermetal dielectric layer)の銅汚染は問題である。例えば、図1に示すように最初の銅メタライゼーション23は誘電体層18中に形成される。インターメタル誘電体層25は上記最初の銅メタライゼーション上に形成される。ビア(via)27又はデュアルダマシン(damascene)開口が上記インターメタル誘電体層25を貫通して下側の最初の銅メタライゼーション23まで形成された場合、上記下側の銅の一部が飛散し、そして上記ビア27又はデュアルダマシン開口の側壁に再堆積29するのである。これは上記インターメタル誘電体層の汚染を生じるであろう。またこれは回路間を短絡させ、そして装置の性能を劣化させるであろう。従って、上記インターメタル誘電体層の銅汚染を防止することが求められる。

【0003】 Krishnan等の米国特許5,451,651は銅上にチタンタングステンの層を形成し、次いで過剰の層を研磨して除去する方法を開示する。三沢の米国特許5,470,789はパフ研磨される酸化チタン層を示す。これら2つの特許は本発明に類似した蓋層を教示する。しかし、開口領域と銅凹部との間の段差が大きいため、上記開口領域と上記凹部領域との間のCMP(即ち、パフ研磨)除去の選択性も小さいであろう。溝間の導電層を除去するのに過剰な研磨が必要であるため、溝上の導電層物質の全てが過剰研磨を通じて除去される可能性が高い。Teongの米国特許5,693,563は銅のためのバリアー層を示すが、銅メタライゼーションに凹みは形成されない。Chan等の米国特許5,744,376は凹部のない銅メタライゼーション上の蓋層を開示する。Joshi等の米国特許5,731,245はタングステンプラグ法(tungsten plug process)のための蓋層を開示する。Venkatraman等の米国特許5,814,557は凹部のない銅層上に蓋層を形成する。

【0004】

【発明が解決しようとする課題】本発明の主な目的は半導体回路の製造において、銅メタライゼーションの効果的で製造可能な方法を提供することである。

【0005】本発明の別の目的はデュアルダマシンプラズマメタライゼーション法を提供することである。本発明の更に別の目的はエッチングにおけるインターメタル誘電体層の銅汚染を防止することである。

【0006】本発明の更に別の目的はビア又はデュアルダマシンプラズマエッチングにおけるインターメタル誘電体層の銅汚染を防止することである。本発明の更に別の目的はビア又はデュアルダマシンプラズマエッチングにおけるインターメタル誘電体層の銅汚染を最初の銅メタライゼーション上に蓋層を形成することにより防止することである。

【0007】

【課題を解決するための手段】本発明の上記目的に基づいて、最初の銅メタライゼーション上に蓋層を形成することによって、ビア又はデュアルダマシンプラズマエッチングにおけるインターメタル誘電体層の銅汚染を防止する新規な方法が達成される。最初の銅メタライゼーションを半導体基板上の誘電体層中に形成し、ここで、バリアー金属層が上記最初の銅メタライゼーションの下に、そして上記誘電体層の上に、形成される。上記最初の銅メタライゼーションを平坦化し、次いでエッチングして、上記誘電体層の表面より下方に凹部を形成する。導電層を上記凹部内の上記最初の銅メタライゼーション上に、また上記誘電体層上に、堆積する。上記導電層を堆積する方法の一つを用いて上記凹部内の上記最初の銅メタライゼーションの上方を除いて除去する。

【0008】一つの方法では、スピンドル・オン物質を上記導電層上に堆積する。上記誘電体層の上方の上記スピンドル・オン物質及び上記導電層をエッチバックし、次いで上記スピンドル・オン物質を除去して、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電層を残置させる。別の方法では、最初の銅メタライゼーション領域を形成するのに使用された逆マスクを使用し、又は最初の銅メタライゼーション領域を形成するのに使用されたマスク及び逆色調レジスト(reverse tone resist)を使用して、最初の銅メタライゼーション領域の上にマスクを形成する。上記マスクで被覆されていない部分の上記導電層をエッチング除去して、上記凹部内の上記最初の銅メタライゼーションの上にのみ上記導電層を残置させる。第3の方法では、上記最初の銅メタライゼーション上の上記導電層が上記誘電体層の上記導電層よりも厚くなるように、上記導電層を部分的に研磨除去する。次いで、上記導電層と上記誘電体層上のバリアー金属層とをエッチバックして、上記凹部内の上記最初の銅メタライゼーションの上方のみに上記導電層を残置させる。

【0009】インターメタル誘電体層を上記誘電体層上

に、そして上記最初の銅メタライゼーション上の上記導電層上に、堆積する。ビア又はデュアルダマシンプラズマエッチングを上記インターメタル誘電体層を通じて上記導電層にまでエッチングし、ここで、上記導電層が上記エッチングの間に上記インターメタル誘電体層の銅汚染を防止する。上記ビア又はデュアルダマシンプラズマ開口を金属層で充填して上記半導体回路の製造における電気接続を完成する。

【0010】本発明はメタライゼーションを通じて、ビア又はデュアルダマシンプラズマエッチングにより、下方の銅相互接続層からの銅によるインターメタル誘電体層の汚染を防止する方法を提供する。

【0011】特に、図2を参照すると、部分的に仕上げられた半導体回路の一部が示される。好ましくは単結晶シリコンから構成される半導体基板10が示される。インターメタル誘電体(IMD)又はインターレベル(interlevel)誘電体(ILD)の層18を上記基板ウエハ上に堆積する。図示しない、ゲート電極、ソース及びドレイン領域、又は金属配線のような半導体構成物が半導体基板の中及び上に形成され、そしてIMD又はILDの層18によって被覆されてもよい。

【0012】次に、デュアルダマシンプラズマ開口21をIMD又はILDの層18中にパターンニングにより形成する。このパターンニングは従来の方法で実現可能であり、これによりビア、溝(trench)、又は埋め込みビア(embedded via)が形成される。

【0013】図3を参照すると、バリアー金属層22を上記IMD又はILDの層18の上に、そして開口21の中に堆積する。このバリアー金属層は、例えば、タンタル又はタンタル化合物、チタン又はチタン化合物、又はタングステン又はタングステン化合物を含んでもよく、そして約50~2000オングストロームの厚さを有してもよい。

【0014】図4を、図4に示すように、物理的又は化学的蒸着、電気化学メッキ(EPD)、又は無電解メッキ、等を含む従来の手段により上記バリアー金属層22上に形成する。

【0015】上記IMD又はILD層上の過剰の銅層を、図5に示すように、化学的機械的ポリッシング(CMP)により研磨除去する。バリアー金属層22は上記CMPプロセス用の研磨阻止層として使用できる。或いは、上記バルク銅フィルムの表面が平坦化され、そして銅の薄い均一な層のみが上記ウエハ表面に残留するまで、上記銅フィルムを部分的にCMPにより除去する。

【0016】図6を参照すると、上記層内の銅層24を湿潤化学作用により、例えば、従来の $\text{CH}_3\text{COOH}/\text{NH}_4\text{F}$ 又は CCl_4/DMSO の化学作用、又はその他の化学作用により、部分的に剥離して、凹部Aを形成する。この凹部は深さが約2000~20000オングストロームの二重ダマシンプラズマ開口に対して約100~20

00オングストロームの深さを有することができる。

【0017】後のメタライゼーションの段階を通じて上記IMD層の銅汚染を防止するために、上記最初の銅メタライゼーション上に蓋層を形成する必要がある。この蓋層を形成するための本発明の3種類の好ましい態様を述べる。溝と溝との間の蓋層を除去する方法は、従来技術の方法と異なり、溝の上の蓋層が除去されないような高い選択性を有する。第1の態様は図7～10に基づいて記述されるであろう。第2の態様は図7、8、11及び12に基づいて記述されるであろう。第3の態様は図13～15に基づいて記述されるであろう。

【0018】特に、図7～10図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第1の態様を記述する。図7に示すように、IMD又はILD層18の表面からバリアー金属層22を除去するために、このバリアー金属層のブランケットプラズマエッチバック(blanket plasma etch back)を実施する。例えば、このエッチバックは上記バリアー金属層を選択的にエッチするために塩素又はフッ素プラズマを使用できる。この時点で上記過剰なバリアー金属層を除去すると、以後の工程を通じて隅の突出部(corner protrusion)を減少できる。

【0019】洗浄後に、導電蓋層をIMD又はILD層18および上記溝内に凹んだ銅層24の上に堆積する。この蓋層26は後の反応性イオンエッチング(RIE)を通じて下側の銅層24から銅が上記IMD層上にスパッターされるのを防止するであろう。この蓋層26に対しては数多くの要求がある。上に位置するIMD層のエッチングを通じて形成されるエッチング副産物を従来の洗浄方法で容易に除去できることが求められる。この蓋層26は上記銅溝のための頂部の拡散/酸化の遮断層として作用するために、バリアー金属層22の性質を有するべきである。蓋層の厚さは下側の銅層24をえぐることなく、上記ビアを覆うのに十分な厚さを持つ必要がある。タンタル又はタンタル化合物、チタン又はチタン化合物、又はタングステン又はタングステン化合物及びその他の物質が蓋層26用に使われる。その厚さは好ましくは約100～4000オングストロームである。

【0020】上記導電蓋層をこれが上記溝内の銅層24を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って実施される。スピンのオン物質(spin-on material)28を、図9に示すように、導電バリアー層26上に約100～4000オングストロームの厚さに被覆する。このスピン-オン物質は遮光及び反射防止被覆(BARC)、又は上記凹部を充填して平坦化層を形成することができ、そして次のプラズマエッチングを通じて上記溝上の導電蓋層を保護できるようなレジスト又はその他の適切な物質を含むことができる。

【0021】次に、図10に示すように、ブランケット

エッチバック(blanket etch back)及び上記蓋層と上記スピン-オン物質の剝離を実施する。上記フィールド領域上に位置する上記導電蓋層及び上記スピン-オン物質を塩素又はフッ素のプラズマによりエッチング除去して、上記溝上に厚いスピン-オン物質と導電蓋層を残留させる。上記凹部Aを形成する目的は、図6に示すように、明らかである。導電蓋物質26が上記溝上に十分に残留できるように、上記ブランケットエッチバックを通じて十分なマージン(margin)が与えられるべきである。エッチバックの後に、スピン-オン物質28の残留をO₂プラズマにより又はガスプラズマを形成することにより剝離できる。

【0022】特に、図7、8、11、及び12図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第2の態様を記述する。上述並びに図7に示すように、IMD又はILD層18の表面からバリアー金属層22を除去するために、このバリアー金属層のブランケットプラズマエッチバックを実施する。

【0023】洗浄後に、上述並びに図8に示すように、上記導電蓋層をIMD又はILD層18および上記溝内に凹んだ銅層24の上に堆積する。上記導電蓋層をこれが上記溝内の銅層24を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って実施される。

【0024】図11を参照すると、フォトリジスト層を上記基板上に被覆し、そして逆マスクを使用し、又は逆色調レジスト(reverse tone resist)を使用して、パターン化してフォトマスク30を形成する。上記凹部Aを形成する目的は、図6に示すように、明らかである。上記マスクのミスマライメント(misalignment)がある場合であっても、図10に示すように、エッチバックの後に、上記溝上に十分な導電蓋物質が存在するように、上記マスクの重合わせを通じて十分なマージンが与えられるべきである。

【0025】図11に示すように、C1又はFのプラズマを使用して、マスク30で被覆されていない導電蓋層26の部分がエッチング除去される。エッチング後に、残留レジストをO₂プラズマにより又はガスプラズマを形成することにより剝離できる。

【0026】特に、図13～15図を参照して、上記最初の銅メタライゼーション上に蓋層を形成するための本発明の第3の態様を記述する。凹部Aを図6のように形成した後に、導電蓋層26を、上述のように、又図13に示すように、IMD又はILD層12および上記溝内に凹んだ銅層24の上に堆積する。

【0027】上記導電蓋物質をこれが上記溝内の銅層24を被覆する部分を除いて除去する必要がある。本発明のこの態様では、これは次の工程に従って達成される。図14に示すように、導電蓋層26の部分CMP実施する。上記溝上の導電蓋物質が上記フィールド領域内より

もより厚くなるように、上記導電蓋層を部分的に除去する。これは導電蓋層26の厚さ及び上記CMP速度に依存するタイムモード(tima mode) CMP法である。

【0028】C1又はFのプラズマを用いて、上記導電蓋層のブランケットプラズマエッチバックを実施する。上記フィールド領域上の上記導電蓋層を上記フィールド領域上のバリアー金属層22と共にエッチング除去する。この工程はCMP過剰・研磨法(over-polish process)に類似している。図15に示すように、導電蓋層26は上記露出にのみ残留する。

【0029】導電蓋層26が上記の3種類の好ましい態様の1つに従って上記最初の銅メタライゼーション上に形成された後に、図16に示すように、別のインターメタル誘電体(IMD)層34が上記最初の銅メタライゼーション上に堆積する。ビア又はデュアルダマシン開口35を上記IMD層34を通して上記第1メタライゼーションで形成する。導電蓋層26が上記開口35に接触するであろう。導電蓋層26は銅が上記層24から開口35の側壁にスパッタリングするのを防止し、従って、上記IMD層34の汚染を防止する。導電蓋層26は導電層であるため、電気接続を得るために下側の銅を露出させる必要はない。

【0030】図17に示すように、バリアー層36及び銅層38を堆積させて第2水準のメタライゼーションを完成する工程が継続する。図示しない、異なる水準のメタライゼーションが形成される場合には、銅層38上に導電蓋層40を形成する本発明の方法を使用すべきである。パッシベーション層44により無積回路が完成する。本発明の方法はビア又はデュアルダマシンエッチングを通じて下側の銅層によるインターメタル誘電体層の汚染を防止する方法を提供する。本発明の導電蓋層を完成させるための3種類の好ましい態様を記述した。

【0031】本発明を特に好ましい態様を参照して説明

したが、種々の変更が本発明の精神と範囲を逸脱することなく実行できることは当業者に理解できるであろう。

【図面の簡単な説明】

【図1】従来技術の方法における銅汚染を概略的に示す断面図である。

【図2】本発明の方法を概略的に示す断面図である。

【図3】本発明の方法を概略的に示す断面図である。

【図4】本発明の方法を概略的に示す断面図である。

【図5】本発明の方法を概略的に示す断面図である。

【図6】本発明の方法を概略的に示す断面図である。

【図7】本発明の第1および第2の好ましい態様を概略的に示す断面図である。

【図8】本発明の第1および第2の好ましい態様を概略的に示す断面図である。

【図9】本発明の第1の好ましい態様を概略的に示す断面図である。

【図10】本発明の第1の好ましい態様を概略的に示す断面図である。

【図11】本発明の第2の好ましい態様を概略的に示す断面図である。

【図12】本発明の第2の好ましい態様を概略的に示す断面図である。

【図13】本発明の第3の好ましい態様を概略的に示す断面図である。

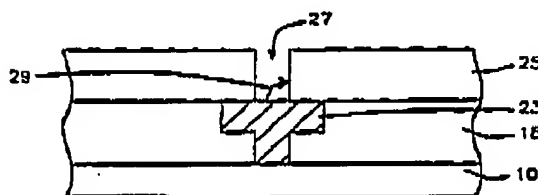
【図14】本発明の第3の好ましい態様を概略的に示す断面図である。

【図15】本発明の第3の好ましい態様を概略的に示す断面図である。

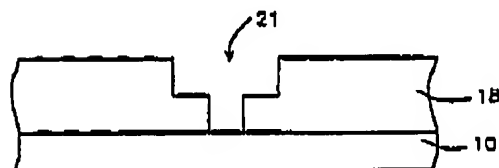
【図16】本発明のメタライゼーションプロセスの完成を概略的に示す断面図である。

【図17】本発明のメタライゼーションプロセスの完成を概略的に示す断面図である。

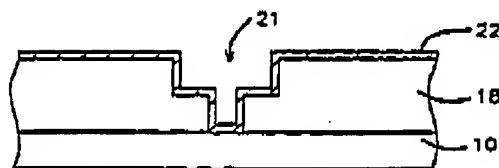
【図1】



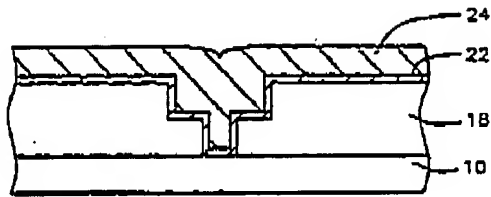
【図2】



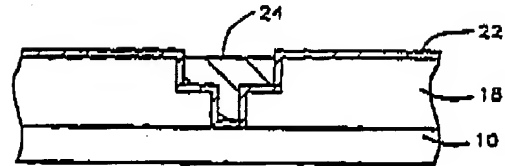
【図3】



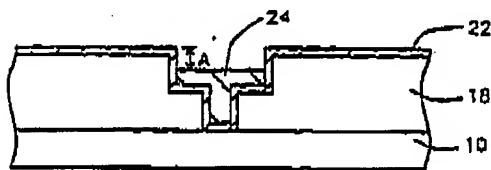
【圖4】



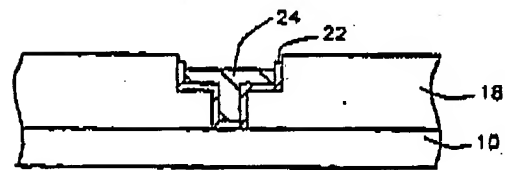
【圖5】



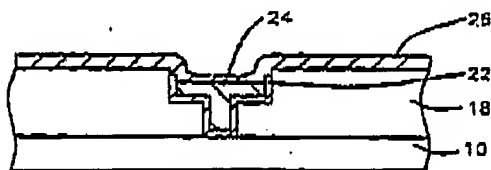
【圖6】



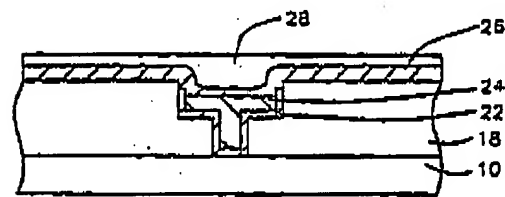
【圖7】



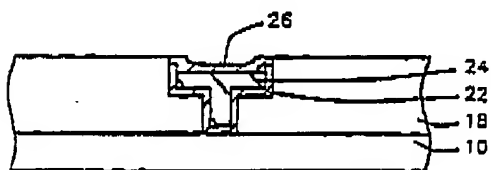
【圖8】



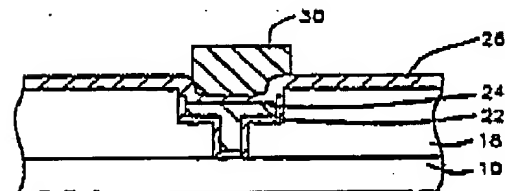
【圖9】



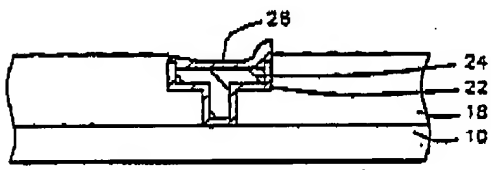
【圖10】



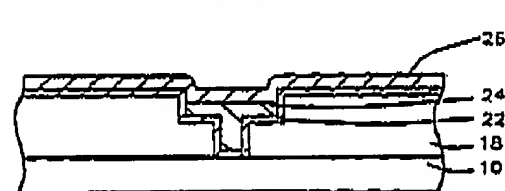
【圖11】



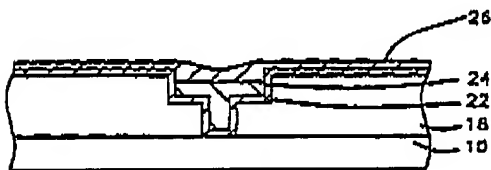
【圖12】



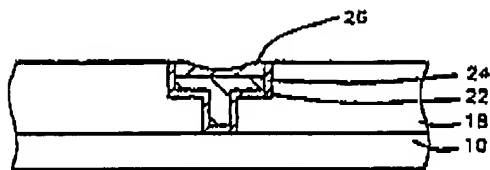
【圖13】



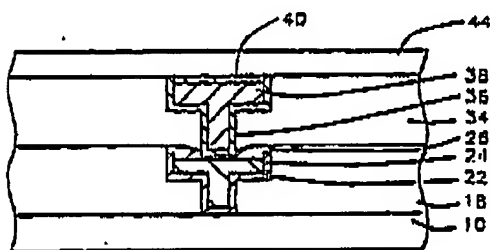
【圖14】



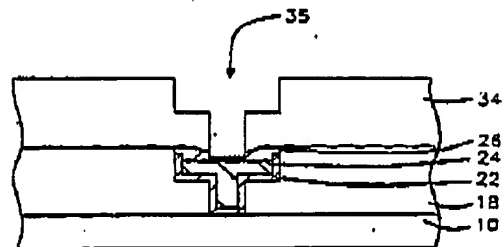
【図15】



【図17】



【図16】



フロントページの続き

(51) Int. Cl.¹

識別記号

F:

テーマコード (参考)

- (72) 発明者 ウォウ・キョン・ポール・ホ
シンガポール国 570217 ビシヤン・スト
リート 23, ビーエルケイ 217, ナンバ
ー 16-315
- (72) 発明者 メイ・シェン・チョウ
シンガポール国 129791 ケント・ヴェイ
ル, ブロック イー, クレメンティ・ロー
ド 109, ナンバー 08-03
- (72) 発明者 サイモン・テョーイ
シンガポール国 227596 ロータス・アベ
ニュー 6

H 01 1 21/88
Fターム (参考)

5F004 AA11 DA00^K DA01 DA02 DA03
DA04 DA05 DA06 DA07 DA08
DA09 DA11 DA12 DA13 DA14
DA15 DA16 DA17 DA18 DA19
DA20 DA26 DA28 DB08 DB10
DB12 DB17 DB26 DB27 EA27
5F033 HH11 HH18 HH19 HH21 HH31
JJ11 JJ18 JJ19 JJ21 JJ31
KK01 KK03 KK07 KK11 KK18
KK19 KK21 KK31 NN02 NN05
NN11 NN12 NN13 NN06 NN07
PP06 PP10 PP27 PP28 QQ08
QQ12 QQ15 QQ19 QQ20 QQ24
QQ31 QQ37 QQ48 QQ49 QQ96
XX28
5F043 AA26 BB18 DD16 GG03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.